

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0079629
Application Number

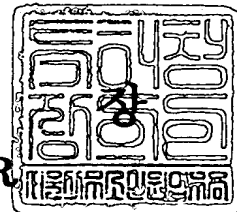
출원년월일 : 2002년 12월 13일
Date of Application DEC 13, 2002

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 14 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2002. 12. 13
【발명의 명칭】 리세스된 게이트 전극을 갖는 모스 트랜지스터 및 그 제조 방법
【발명의 영문명칭】 MOS transistor having a recessed gate electrode and fabrication method thereof
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 박상수
【대리인코드】 9-1998-000642-5
【포괄위임등록번호】 2000-054081-9
【발명자】
【성명의 국문표기】 정규환
【성명의 영문표기】 CHONG, KYU WHAN
【주민등록번호】 610326-1067012
【우편번호】 463-500
【주소】 경기도 성남시 분당구 구미동 까치마을 114-1001
【국적】 KR
【발명자】
【성명의 국문표기】 김재훈
【성명의 영문표기】 KIM, JAE HUN
【주민등록번호】 720304-1565726
【우편번호】 442-706
【주소】 경기도 수원시 팔달구 망포동 동수원엘지빌리지 203동 70호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 7 면 7,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 15 항 589,000 원

【합계】 625,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

리세스된 게이트 전극을 갖는 모스 트랜지스터 및 그 제조방법을 제공한다. 상기 모스 트랜지스터는 반도체기판의 소정영역에 형성되어 활성영역을 한정하는 소자분리막 및 상기 활성영역 내에 형성된 2중(double) 트렌치 영역들을 구비한다. 상기 2중 트렌치 영역들은 상기 활성영역을 가로지르는 상부 트렌치 영역 및 상기 상부 트렌치 영역의 아래에 위치하는 하부 트렌치 영역으로 구성된다. 상기 상부 트렌치 영역의 측벽들은 스페이서로 덮여지고, 상기 하부 트렌치 영역은 상기 스페이서를 식각 마스크로 사용하여 상기 상부 트렌치 영역 내의 반도체기판을 식각함으로써 형성된다. 상기 상부 트렌치 영역 및 하부 트렌치 영역은 절연된 게이트 전극으로 채워진다. 또한, 상기 상부 트렌치 영역의 양 옆에 위치하는 활성영역 내에 상기 스페이서와 접촉하는 고농도 소오스/드레인 영역들이 형성된다. 따라서, 본 발명에 따른 모스 트랜지스터의 유효채널 길이(effective channel length)는 상기 하부 트렌치 영역의 크기(dimension)에 따라 결정된다. 결과적으로, 후속의 열처리 공정 동안 상기 고농도 소오스/드레인 영역들이 추가로 확산될지라도, 상기 유효채널 길이의 변동을 최소화시킬 수 있다.

【대표도】

도 3a

【명세서】**【발명의 명칭】**

리세스된 게이트 전극을 갖는 모스 트랜지스터 및 그 제조방법(MOS transistor having a recessed gate electrode and fabrication method thereof)

【도면의 간단한 설명】

도 1은 종래의 모스 트랜지스터를 보여주는 단면도이다.

도 2는 본 발명의 실시예에 따른 모스 트랜지스터를 보여주는 평면도이다.

도 3a는 도 2의 절단선 I-I'에 따라 취해진 단면도이다.

도 3b는 도 2의 절단선 II-II'에 따라 취해진 단면도이다.

도 4a, 도 5a, 도 6a 및 도 7a는 본 발명의 실시예에 따른 모스 트랜지스터의 제조 방법을 설명하기 위하여 도 2의 I-I'에 따라 취해진 단면도들이다.

도 4b, 도 5b, 도 6b 및 도 7b는 본 발명의 실시예에 따른 모스 트랜지스터의 제조 방법을 설명하기 위하여 도 2의 II-II'에 따라 취해진 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체소자 및 그 제조방법에 관한 것으로, 특히 리세스된 게이트 전극을 갖는 모스 트랜지스터 및 그 제조방법에 관한 것이다.

<8> 반도체소자들은 트랜지스터들과 같은 개별소자들(descrete devices)로 구성된 집적 회로를 포함한다. 상기 트랜지스터들은 모스 트랜지스터들 또는 바이폴라 트랜지스터들

로 분류된다. 상기 모스 트랜지스터들은 상기 바이폴라 트랜지스터들에 비하여 여러가지의 장점들을 갖는다. 예를 들면, 상기 모스 트랜지스터들은 상기 바이폴라 트랜지스터들에 비하여 동작전압(operating voltage), 전력소모(power consumption) 및 집적도(integration density) 측면에서 우수한 특성들을 보인다. 따라서, 상기 모스 트랜지스터들은 대부분의 반도체소자에 널리 채택된다.

<9> 최근에, 상기 반도체소자의 집적도를 증가시키기 위하여 리세스된 게이트 전극을 갖는 모스 트랜지스터가 제안된 바 있다. 상기 리세스된 게이트 전극을 갖는 모스 트랜지스터의 제조방법이 미국특허 제6,358,800호에 "사진공정의 한계를 넘어서는 채널 길이를 갖는 리세스된 게이트 전극을 갖는 모스 트랜지스터의 제조방법(method of forming a MOSFET with a recessed-gate having a channel length beyond photolithography limit)"라는 제목으로 쟁(Tseng)에 의해 개시된 바 있다.

<10> 도 1은 상기 미국특허 제6,358,800호에 개시된 모스 트랜지스터를 보여주는 단면도이다.

<11> 도 1을 참조하면, 반도체기판(110)의 소정영역에 소자분리막(112)을 형성하여 활성영역을 한정한다. 상기 활성영역을 포함하는 반도체기판의 전면 상에 제1 절연막(114) 및 제2 절연막(도시되지 않음)을 차례로 형성한다. 상기 제2 절연막을 패터닝하여 상기 활성영역의 상부에 제1 개구부를 형성한다. 상기 제1 개구부를 갖는 반도체기판의 전면 상에 제3 절연막을 형성한다. 상기 제3 절연막 및 상기 제1 절연막(114)을 연속적으로 이방성 식각하여 상기 제1 개구부의 측벽 상에 제1 산화막 스페이서(122)를 형성함과 동시에 상기 활성영역의 소정영역, 즉 상기 반도체기판의 소정영역을 노출시키는 제2 개구부를 형성한다.

- <12> 상기 노출된 반도체기판을 선택적으로 식각하여 트렌치 영역을 형성한다. 이어서, 제1 산화막 스페이서(122)의 측벽 및 상기 트렌치 영역의 측벽 상에 제2 산화막 스페이서(128)를 형성한다. 상기 제2 산화막 스페이서(128)은 도우펀트들(dopants)을 함유한다. 상기 트렌치 영역의 바닥 상에 게이트 절연막(130)을 형성한다. 상기 게이트 절연막 상에 상기 트렌치 영역을 채우는 게이트 전극(132A)을 형성한다. 이어서 상기 제2 절연막을 제거하여 상기 제1 절연막(114)을 노출시킨다. 상기 게이트 전극(132A)을 이온주입 마스크로 사용하여 상기 활성영역 내에 도우펀트 이온들을 주입한다. 그 결과, 상기 게이트 전극(132A)의 양 옆에 소오스/드레인 영역들(136)이 형성된다.
- <13> 상기 소오스/드레인 영역(136)을 갖는 반도체기판을 열처리하여 상기 제2 산화막 스페이서(128) 내에 함유된 도우펀트들을 외향확산시킨다(out-diffuse). 이에 따라, 상기 제2 산화막 스페이서(128)과 접촉하는 상기 트렌치 영역의 내벽에 소오스/드레인 연장부들(extensions; 138)이 형성된다. 계속해서, 상기 제1 산화막 스페이서(122)의 측벽 상에 제3 스페이서(140)를 형성한다. 마지막으로, 상기 게이트 전극(132A) 및 상기 소오스/드레인 영역들(136) 상에 선택적으로 금속콘택들(142, 144)을 형성한다.
- <14> 상술한 종래의 기술에 따르면, 상기 제1 및 제2 스페이서들(122, 128)을 사용하여 사진공정의 해상한계(resolution limit)보다 작은 채널길이를 갖는 MOS 트랜지스터를 형성할 수 있다. 그러나, 상기 소오스/드레인 연장부들(138)은 상기 제2 스페이서(128) 내에 함유된 도우펀트들의 외향확산에 기인하여 형성된다. 따라서, 후속 열처리 공정이 실시될 때마다 상기 제1 스페이서(128) 내의 도우펀트들은 지속적으로 상기 소오스/드레인 연장부들(138) 내로 공급될 수 있다. 결과적으로, 상기 소오스/드레인 연장부들(138)의 접합깊이 및 폭이 더욱 증가하고 이들 사이의 간격에 해당하는 유효채널 길이

(effective channel length; 도 1의 L)는 더욱 감소한다. 이는, 상기 소오스/드레인 연장부들(138) 내의 도우펀트들이 종방향은 물론 횡방향을 따라 확산되기 때문이다. 결과적으로, 상기 유효채널 길이(L)는 물론 상기 소오스/드레인 연장부들(138)의 접합깊이를 정밀하게 제어하기가 어렵다.

<15> 상기 소오스/드레인 연장부들(138)은 일반적인 모스 트랜지스터의 엘디디 영역에 해당한다. 상기 엘디디 영역의 불순물 농도 및 접합깊이는 모스 트랜지스터의 특성, 예를 들면 소오스 및 드레인 사이의 브레이크 다운 전압, 핫 캐리어 효과 및 단채널 효과 등에 직접적으로 영향을 준다. 그러나, 상술한 종래의 기술에 따르면, 상기 소오스/드레인 연장부들(138)의 불순물 농도를 정밀하게 제어하기가 어렵다.

<16> 더 나아가서, 상기 채널길이는 상기 트렌치 영역의 폭과 직접적인 연관이 있다. 다시 말해서, 상기 트렌치 영역의 깊이를 증가시킬지라도, 상기 채널 길이는 변하지 않는다. 따라서, 긴 채널(long channel)을 갖는 모스 트랜지스터를 형성하기 위해서는 상기 트렌치 영역의 폭을 증가시켜야 한다. 결과적으로, 상기 종래기술을 사용하여 반도체소자를 제작할지라도, 일반적인 평판형(planar-type) 모스 트랜지스터를 채택하는 반도체소자의 경우에 비하여 높은 집적도를 얻기가 어렵다.

【발명이 이루고자 하는 기술적 과제】

<17> 본 발명이 이루고자 하는 기술적 과제는 후속의 열처리 공정에 기인하는 채널길이의 변동(fluctuation)을 최소화시키는 데 적합한 모스 트랜지스터 및 그 제조방법을 제공하는 데 있다.

<18> 본 발명이 이루고자 하는 다른 기술적 과제는 고집적 반도체소자에 적합한 모스 트랜지스터 및 그 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<19> 상기 기술적 과제들을 이루기 위하여 본 발명은 리세스된 게이트 전극을 갖는 모스 트랜지스터를 제공한다. 상기 모스 트랜지스터는 반도체기판의 소정영역에 형성되어 활성영역을 한정하는 소자분리막을 포함한다. 상기 활성영역의 소정영역 내에 상부 트렌치 영역이 제공된다. 상기 상부 트렌치 영역은 상기 활성영역을 가로지르도록 배치된다. 상기 상부 트렌치 영역의 측벽들중 적어도 상기 활성영역과 접하는 양 측벽들은 스페이서로 덮여진다. 상기 스페이서에 의해 둘러싸여진 상기 상부 트렌치 영역의 아래에 하부 트렌치 영역이 제공된다. 상기 상부 트렌치 영역의 양 옆에 위치하는 상기 활성영역들의 표면에 한 쌍의 고농도 소오스/드레인 영역들이 배치된다. 상기 하부 트렌치 영역의 측벽들 및 바닥은 게이트 절연막으로 덮여진다. 상기 게이트 절연막에 의해 둘러싸여진 상기 하부 트렌치 영역 및 상기 스페이서에 의해 둘러싸여진 상기 상부 트렌치 영역은 게이트 전극으로 채워진다.

<20> 바람직하게는, 상기 상부 트렌치 영역은 상기 활성영역보다 더 큰 폭을 갖는다.

<21> 상기 스페이서는 상기 활성영역과 접하는 제1 스페이서 및 상기 소자분리막과 접하는 제2 스페이서를 포함할 수 있다. 상기 제1 스페이서의 폭은 상기 제2 스페이서의 폭과 동일할 수 있다.

<22> 상기 상부 트렌치 영역은 상기 제2 스페이서의 폭의 2배 및 상기 활성영역의 폭의 합과 동일하거나 큰 폭을 갖는다.

- <23> 상기 제1 스페이서 아래의 반도체기판 내에 저농도 소오스/드레인 영역이 추가로 배치될 수 있다. 상기 저농도 소오스/드레인 영역은 상기 하부 트렌치 영역의 측벽과 접한다. 더욱 바람직하게는, 상기 저농도 소오스/드레인 영역은 상기 하부 트렌치 영역의 상부측벽과 접촉한다.
- <24> 또한, 상기 하부 트렌치 영역은 상기 활성영역과 동일한 폭을 갖는 것이 바람직하다. 이 경우에, 상기 하부 트렌치 영역은 상기 소자분리과 접촉하면서 서로 마주보는 한 쌍의 측벽들 및 상기 활성영역과 접촉하면서 서로 마주보는 한 쌍의 측벽들을 포함한다.
- <25> 상기 기술적인 과제들을 이루기 위하여 본 발명은 리세스된 게이트 전극을 갖는 MOS 트랜지스터의 제조방법을 제공한다. 이 방법은 반도체기판의 소정영역에 소자분리막을 형성하여 활성영역을 한정하는 것과, 상기 활성영역의 소정영역을 식각하여 상기 활성영역을 가로지르는 상부 트렌치 영역을 형성하는 것을 포함한다. 상기 상부 트렌치 영역의 측벽들중 적어도 상기 활성영역과 접하는 양 측벽들 상에 스페이서를 형성한다. 상기 스페이서를 식각 마스크로 사용하여 상기 반도체기판을 선택적으로 식각하여 상기 상부 트렌치 영역의 아래에 하부 트렌치 영역을 형성한다. 상기 하부 트렌치 영역의 측벽들 및 바닥 상에 게이트 절연막을 형성한다. 이어서, 상기 게이트 절연막에 의해 둘러싸여진 상기 하부 트렌치 영역 및 상기 스페이서에 의해 둘러싸여진 상기 상부 트렌치 영역 내에 게이트 전극을 형성한다. 상기 상부 트렌치 영역의 양 옆에 위치하는 상기 활성영역의 표면에 한 쌍의 고농도 소오스/드레인 영역들을 형성한다.
- <26> 상기 스페이서를 형성하기 전에, 상기 상부 트렌치 영역의 바닥 하부에 상기 반도체기판과 다른 도전형을 갖는 저농도 불순물층을 형성할 수 있다. 이 경우에, 상기 하부

트렌치 영역은 상기 저농도 불순물층보다 깊도록 형성되는 것이 바람직하다. 이에 따라, 상기 하부 트렌치 영역의 양 옆에 서로 분리된(separated) 한 쌍의 저농도 소오스/드레인 영역들이 남겨진다.

<27> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<28> 도 2는 본 발명의 실시예에 따른 MOS 트랜지스터의 평면도이다. 또한, 도 3a는 도 2의 절단선 I-I'에 따라 취해진 단면도이고, 도 3b는 도 2의 절단선 II-II'에 따라 취해진 단면도이다.

<29> 도 2, 도 3a 및 도 3b를 참조하면, 반도체기판의 소정영역에 활성영역(3a)이 배치된다. 상기 활성영역(3a)은 소자분리막(3)에 의해 한정되는 영역이다. 상기 활성영역(3a)의 소정영역을 가로질러 상부 트렌치 영역(9)이 배치된다. 상기 트렌치 영역(9)의 폭(9W)은 상기 활성영역(3a)의 폭(3W)보다 큰 것이 바람직하다. 즉, 상기 상부 트렌치 영역(9)은 상기 활성영역(3a)의 양 옆에 위치하는 상기 소자분리막(3) 내부로 연장되는

것이 바람직하다. 결과적으로, 상기 상부 트렌치 영역(9)에 의해 상기 활성영역(3a)은 서로 이격된 두개의 활성영역들로 분리된다(separated).

<30> 상기 상부 트렌치 영역(9)의 측벽들은 스페이서(13)로 덮여진다. 구체적으로, 상기 상부 트렌치 영역(9)의 측벽들중 적어도 상기 활성영역(3a)과 접하는 한 쌍의 측벽들은 제1 스페이서(13a)로 덮여진다. 이에 더하여, 상기 상부 트렌치 영역(9)의 측벽들중 상기 소자분리막(3)과 접하는 측벽들은 제2 스페이서(13b)로 덮여질 수 있다. 이 경우에, 상기 상부 트렌치 영역(9)의 폭(9W)은 상기 제2 스페이서(13b)의 폭(13W)의 두배 및 상기 활성영역(3a)의 폭(3W)의 합보다 큰 것이 바람직하다. 상기 제1 스페이서(13a)의 폭은 상기 제2 스페이서(13b)의 폭과 동일할 수 있다. 따라서, 상기 스페이서(13)는 상기 제1 및 제2 스페이서들(13a, 13b)을 포함할 수 있다. 이와는 달리, 상기 스페이서(13)는 상기 제1 스페이서들(13a)만으로 구성될 수도 있다.

<31> 상기 상부 트렌치 영역(9)의 아래에 하부 트렌치 영역(15)이 제공된다. 상기 하부 트렌치 영역(15)의 폭은 상기 활성영역(3a)의 폭(3W)과 동일한 것이 바람직하다. 이 경우에, 상기 하부 트렌치 영역(15)은 상기 소자분리막(3)의 하부 측벽들을 노출시킨다. 한편, 상기 하부 트렌치 영역(15)의 측벽들중 상기 활성영역(3a)과 접하는 측벽들은 도 3a에 도시된 바와 같이 상기 제1 스페이서들(13a)의 측벽들의 연장선들과 일치하는 것이 바람직하다.

<32> 상기 제1 스페이서들(13a)의 하부에 서로 분리된 한 쌍의 저농도 소오스/드레인 영역들(11a)이 형성될 수 있다. 상기 저농도 소오스/드레인 영역들(11a)은 상기 반도체기판(1)과 다른 도전형의 불순물로 도우핑된 영역들이다. 상기 저농도 소오스/드레인 영역들(11a)은 상기 하부 트렌치 영역(15)보다 얇은 접합깊이를 갖는 것이 바람직하다. 상기

하부 트렌치 영역(15)의 바닥 및 측벽들의 표면들을 따라 상기 분리된 저농도 소오스/드레인 영역들(11a) 사이의 거리는 유효채널 길이(L)에 해당한다. 상기 하부 트렌치 영역(15)의 측벽들 및 바닥은 게이트 절연막(19)으로 덮여진다. 즉, 상기 저농도 소오스/드레인 영역들(11a)의 측벽들 또한 상기 게이트 절연막(19)으로 덮여진다.

<33> 상기 게이트 절연막(19)에 의해 둘러싸여진 상기 하부 트렌치 영역(15) 및 상기 스페이서(13)에 의해 둘러싸여진 상기 상부 트렌치 영역(9)은 게이트 전극(21)으로 채워진다. 상기 게이트 전극(21)은 상기 활성영역(3a)을 가로지르는 방향을 따라서 연장될 수 있다. 이 경우에, 상기 게이트 전극(21) 및 상기 소자분리막(3) 사이에 도 3b에 도시된 바와 같이 절연막(5)이 개재될 수 있다. 또한, 상기 절연막(5)은 도 3a에 도시된 바와 같이 상기 상부 트렌치 영역(9)의 양 옆에 위치하는 상기 이격된 활성영역들(3a)을 덮도록 연장될 수 있다. 상기 스페이서들(13a, 13b)은 연장되어 상기 절연막(5)의 측벽을 덮는다.

<34> 상기 상부 트렌치 영역(9)의 양 옆에 위치하는 상기 이격된 활성영역들(3a)의 표면에 고농도 소오스/드레인 영역들(23)이 형성된다. 상기 고농도 소오스/드레인 영역들(23)은 상기 저농도 소오스/드레인 영역들(11a)과 접촉하도록 형성된다. 상기 하부 트렌치 영역(15)의 표면을 따라서 상기 저농도 소오스/드레인 영역들(11a) 사이의 간격은 유효채널 길이(L)에 해당한다.

<35> 상기 고농도 소오스/드레인 영역들(23) 내의 불순물 이온들은 후속의 열처리 공정에서 기인하여 추가로 확산되어 깊은 고농도 소오스/드레인 영역들(23a)을 형성할 수 있다. 그러나, 상기 깊은 고농도 소오스/드레인 영역들(23a)이 형성될지라도, 상기 유효채널 길이(L)의 변동은 최소화된다.

- <36> 다음에, 본 발명의 실시예에 따른 모스 트랜지스터의 제조방법을 설명하기로 한다.
- <37> 도 2, 도 4a 및 도 4b를 참조하면, 반도체기판(1)의 소정영역에 소자분리막(3)을 형성하여 활성영역(3a)을 한정한다. 상기 소자분리막(3)을 갖는 반도체기판의 전면 상에 패드 산화막(5) 및 패드 질화막(7)을 차례로 형성한다. 상기 패드 질화막(7)을 패터닝하여 상기 활성영역의 상부를 가로지르는 개구부(7a)를 형성한다. 상기 개구부(7a)의 폭(7W)은 도 4b에 도시된 바와 같이 상기 활성영역(3a)의 폭(3W)보다 큰 것이 바람직하다.
- <38> 도 2, 도 5a 및 도 5b를 참조하면, 상기 패터닝된 패드 질화막(7)을 식각 마스크로 사용하여 상기 패드 산화막(5), 소자 분리막(3) 및 반도체기판(1)을 식각하여 상기 활성영역(3a)을 가로지르는 상부 트렌치 영역(9)을 형성한다. 이어서, 상기 패터닝된 패드 질화막(7)을 이온주입 마스크로 사용하여 상기 반도체기판(1) 내로 제1 불순물 이온들을 주입하여 저농도 불순물층(11)을 형성할 수 있다. 상기 제1 불순물 이온들은 상기 반도체기판(1)과 다른 도전형을 갖는다. 예를 들면, 상기 반도체기판(1)이 P형인 경우에, 상기 제1 불순물 이온들은 인 이온들(phosphorous ions) 또는 비소 이온들(arsenic ions)과 같은 N형의 불순물 이온들일 수 있다. 또한, 상기 제1 불순물 이온들은 1×10^{12} 내지 1×10^{14} ions/cm²의 낮은 도우즈로 주입된다.
- <39> 도 2, 도 6a 및 도 6b를 참조하면, 상기 패터닝된 패드 질화막(7)을 선택적으로 제거한다. 상기 결과물의 전면 상에 콘포말한 스페이서 절연막을 형성한다. 상기 스페이서 절연막은 실리콘 산화막 또는 실리콘 질화막으로 형성한다. 상기 스페이서 절연막을 이방성 식각하여 상기 상부 트렌치 영역(9)의 측벽들과 아울러서 상기 패터닝된 패드 산화막(5)의 측벽들을 덮는 스페이서(13)를 형성한다. 상기 스페이서(13)는 상기 활성영역(3a)과 접하는 측벽들 상에 형성된 한 쌍의 제1 스페이서들(도 6a의 13a) 및 상기 소자

분리막(3)과 접하는 측벽들 상에 형성된 한 쌍의 제2 스페이서들(도 6b의 13b)을 포함한다. 이 경우에, 상기 상부 트렌치 영역(9)의 폭(9W)은 도 6b에 도시된 바와 같이 상기 제2 스페이서들(13b)의 폭(13W)의 2배 및 상기 활성영역(3a)의 폭(3W)의 합보다 큰 것이 바람직하다.

<40> 상기 제2 스페이서들(13b)은 사진 공정 및 식각 공정을 사용하여 선택적으로 제거될 수도 있다. 이 경우에, 상기 스페이서(13)는 상기 제1 스페이서들(13a)만으로 구성된다. 이에 따라, 상기 상부 트렌치 영역(9)의 폭(9W)은 상기 활성영역(3a)의 폭(3W)보다 큰 것이 바람직하다.

<41> 계속해서, 상기 스페이서(13) 및 상기 패터닝된 패드 산화막(5)을 식각 마스크로 사용하여 상기 상부 트렌치 영역(9) 내의 반도체기판(1)을 선택적으로 식각한다. 그 결과, 상기 상부 트렌치 영역(9)의 하부에 하부 트렌치 영역(15)이 형성된다. 이에 따라, 상기 하부 트렌치 영역(15)은 도 6b에 도시된 바와 같이 상기 활성영역(3a)과 동일한 폭(3W)을 갖는다. 상기 하부 트렌치 영역(15)은 상기 저농도 불순물층(11)보다 깊도록 형성되는 것이 바람직하다. 이 경우에, 상기 하부 트렌치 영역(15)의 양 옆에 서로 분리된 한 쌍의 저농도 소오스/드레인 영역들(11a)이 남겨진다(도 6a 참조). 다시 말해서, 상기 저농도 소오스/드레인 영역들(11a)은 상기 제1 스페이서들(13a)의 하부에 위치한다. 이어서, 상기 하부 트렌치 영역(15) 내의 반도체기판(1) 내에 N형 또는 P형의 불순물들이온들을 선택적으로 주입하여 채널 이온주입 영역(channel ion implantation region; 17)을 형성할 수 있다. 상기 채널 이온주입 영역(17)은 문턱전압 및/또는 펀치쓰루 전압을 조절하기 위하여 형성된다.

<42> 도 2, 도 7a 및 도 7b를 참조하면, 상기 하부 트렌치 영역(15)의 바닥 및 측벽들 상에 게이트 절연막(19)을 형성한다. 상기 게이트 절연막(19)은 열산화 공정을 사용하여 형성될 수 있다. 상기 게이트 절연막(19)을 갖는 반도체기판의 전면 상에 게이트 도전막을 형성한다. 상기 게이트 절연막은 우수한 단차도포성을 갖는 도우핑된 폴리실리콘막으로 형성할 수 있다. 따라서, 상기 게이트 도전막은 상기 게이트 절연막(19)에 의해 둘러싸여진 상기 하부 트렌치 영역(15) 및 상기 스페이서(13)에 의해 둘러싸여진 상기 상부 트렌치 영역(9)을 완전히 채운다. 상기 게이트 도전막을 패터닝하여 상기 활성영역(3a)을 가로지르고 상기 상부 및 하부 트렌치 영역들(9, 15)을 채우는 게이트 전극(21)을 형성한다.

<43> 상기 게이트 전극(21) 및 소자분리막(3)을 이온주입 마스크들로 사용하여 상기 활성영역(3a) 내로 제2 불순물 이온들을 약 1×10^{15} ions/cm² 내지 5×10^{15} 의 높은 도우즈로 주입한다. 상기 제2 불순물 이온들 역시 상기 반도체기판(1)과 다른 도전형을 갖는 불순물 이온들이다. 그 결과, 상기 게이트 전극(21)의 양 옆에 고농도 소오스/드레인 영역들(23)이 형성된다. 상기 고농도 소오스/드레인 영역들(23)은 상기 저농도 소오스/드레인 영역들(11a)과 접촉하도록 형성되는 것이 바람직하다. 상기 하부 트렌치 영역(15)의 표면을 따라서 상기 저농도 소오스/드레인 영역들(11a) 사이의 간격은 유효채널 길이(L)에 해당한다.

<44> 상기 고농도 소오스/드레인 영역들(23) 내의 불순물 이온들은 후속의 열처리 공정 에 기인하여 추가로 확산될 수 있다. 그 결과, 상기 초기의 고농도 소오스/드레인 영역들(23)보다 깊은 고농도 소오스/드레인 영역들(23a)이 형성될 수 있다. 이 경우에, 상기 저농도 소오스/드레인 영역들(11a)은 상기 고농도 소오스/드레인 영역들(23)에 비하여

적게(less) 확산된다. 이는, 상기 저농도 소오스/드레인 영역들(11a)의 불순물 농도가 상기 고농도 소오스/드레인 영역들(23)의 불순물 농도보다 낮기 때문이다. 이에 더하여, 본 발명은 종래기술과는 달리 상기 저농도 소오스/드레인 영역들(11a)에 불순물들을 지속적으로 공급하는 물질막을 포함하지 않는다. 상기 저농도 소오스/드레인 영역들(11a)이 추가로 확산될지라도, 상기 하부 트렌치 영역(15)의 깊이를 증가시킴으로써 평면적의 증가 없이 상기 유효채널 길이(L)를 최적화시킬 수 있다.

【발명의 효과】

<45> 상술한 바와 같이 본 발명의 실시예들에 따르면, 고농도 소오스/드레인 영역들(23) 내의 불순물들이 추가로 확산되어 깊은 고농도 소오스/드레인 영역들(23a)을 형성할지라도, 상기 유효채널 길이(L)의 변동은 최소화된다. 이에 더하여, 상기 저농도 소오스/드레인 영역들(23a) 내의 불순물들이 후속의 열처리 공정 동안 추가로 확산될지라도, 상기 하부 트렌치 영역(15)의 깊이를 증가시킴으로써 상기 유효채널 길이(L)를 최적화시킬 수 있다. 따라서, 상기 트렌치 영역들이 차지하는 평면적이 증가하는 것을 방지할 수 있다. 결과적으로, 고집적 반도체소자에 적합한 모스 트랜지스터를 구현할 수 있다.

【특허청구범위】**【청구항 1】**

반도체기판의 소정영역에 형성되어 활성영역을 한정하는 소자분리막;

상기 활성영역의 소정영역을 가로지르면서 상기 활성영역 내에 형성된 상부 트랜치 영역;

상기 상부 트랜치 영역의 측벽들중 적어도 상기 활성영역과 접하는 양 측벽들을 덮는 스페이서;

상기 스페이서에 의해 둘러싸여진 상기 상부 트랜치 영역의 아래에 형성된 하부 트랜치 영역;

상기 상부 트랜치 영역의 양 옆에 위치하는 상기 활성영역의 표면에 형성된 한 쌍의 고농도 소오스/드레인 영역들;

상기 하부 트랜치 영역의 측벽들 및 바닥을 덮는 게이트 절연막; 및

상기 게이트 절연막에 의해 둘러싸여진 상기 하부 트랜치 영역 및 상기 스페이서에 의해 둘러싸여진 상기 상부 트랜치 영역을 채우는 게이트 전극을 포함하는 모스 트랜지스터.

【청구항 2】

제 1 항에 있어서,

상기 상부 트랜치 영역은 상기 활성영역보다 더 큰 폭을 갖는 것을 특징으로 하는 모스 트랜지스터.

【청구항 3】

제 1 항에 있어서,

상기 스페이서는

상기 활성영역과 접하는 제1 스페이서; 및

상기 소자분리막과 접하는 제2 스페이서를 포함하되, 상기 제1 스페이서의 폭은 상기 제2 스페이서의 폭과 동일한 것을 특징으로 하는 모스 트랜지스터.

【청구항 4】

제 3 항에 있어서,

상기 상부 트렌치 영역은 상기 제2 스페이서의 폭의 2배 및 상기 활성영역의 폭의 합과 동일하거나 큰 폭을 갖는 것을 특징으로 하는 모스 트랜지스터.

【청구항 5】

제 3 항에 있어서,

상기 제1 스페이서 아래의 반도체기판 내에 형성된 한 쌍의 저농도 소오스/드레인 영역들을 더 포함하되, 상기 저농도 소오스/드레인 영역들은 상기 하부 트렌치 영역의 측벽들과 접하는 것을 특징으로 하는 모스 트랜지스터.

【청구항 6】

제 1 항에 있어서,

상기 하부 트렌치 영역은 상기 활성영역과 동일한 폭을 갖는 것을 특징으로 하는 모스 트랜지스터.

【청구항 7】

반도체기판의 소정영역에 소자분리막을 형성하여 활성영역을 한정하고,
상기 활성영역의 소정영역을 식각하여 상기 활성영역을 가로지르는 상부 트렌치 영역을 형성하고,
상기 상부 트렌치 영역의 측벽들중 적어도 상기 활성영역과 접하는 양 측벽들 상에 스페이서를 형성하고,
상기 스페이서를 식각 마스크로 사용하여 상기 상부 트렌치 영역 내의 상기 반도체기판을 선택적으로 식각하여 상기 상부 트렌치 영역의 아래에 하부 트렌치 영역을 형성하고,
상기 하부 트렌치 영역의 측벽들 및 바닥 상에 게이트 절연막을 형성하고,
상기 게이트 절연막에 의해 둘러싸여진 상기 하부 트렌치 영역 및 상기 스페이서에 의해 둘러싸여진 상기 상부 트렌치 영역을 채우는 게이트 전극을 형성하고,
상기 상부 트렌치 영역의 양 옆에 위치하는 상기 활성영역의 표면에 한 쌍의 고농도 소오스/드레인 영역들을 형성하는 것을 포함하는 모스 트랜지스터 제조방법.

【청구항 8】

제 7 항에 있어서,
상기 상부 트렌치 영역을 형성하는 것은
상기 소자분리막을 갖는 반도체기판의 전면 상에 패드 산화막 및 패드 질화막을 차례로 형성하고,

상기 패드 질화막을 패터닝하여 상기 활성영역의 상부를 가로지르는 개구부를 형성하고,

상기 패드 질화막을 식각 마스크로 사용하여 상기 패드 산화막 및 상기 반도체기판을 연속적으로 식각하고,

상기 패터닝된 패드 질화막을 제거하는 것을 포함하되, 상기 스페이서는 상기 상부 트렌치 영역의 측벽들과 아울러서 상기 식각된 패드산화막의 측벽 상에 형성되는 것을 특징으로 하는 모스 트랜지스터 제조방법.

【청구항 9】

제 8 항에 있어서,

상기 개구부는 상기 활성영역보다 큰 폭을 갖도록 형성되는 것을 특징으로 하는 모스 트랜지스터 제조방법.

【청구항 10】

제 7 항에 있어서,

상기 스페이서를 형성하기 전에,

상기 상부 트렌치 영역의 바닥 하부에 상기 반도체기판과 다른 도전형을 갖는 저농도 불순물층을 형성하는 것을 더 포함하는 것을 특징으로 하는 모스 트랜지스터 제조방법.

【청구항 11】

제 7 항에 있어서,

상기 스페이서를 형성하는 것은

상기 상부 트렌치 영역을 갖는 반도체기판의 전면 상에 콘포말한 스페이서 절연막을 형성하고,

상기 스페이서 절연막을 이방성 식각하여 상기 활성영역과 접하는 한 쌍의 제1 스페이서들 및 상기 소자분리막과 접하는 한 쌍의 제2 스페이서들을 형성하는 것을 포함하되, 상기 제2 스페이서들 사이의 간격은 상기 활성영역의 폭과 동일하거나 큰 것을 특징으로 하는 모스 트랜지스터 제조방법.

【청구항 12】

제 11 항에 있어서,

상기 스페이서 절연막은 실리콘 산화막 또는 실리콘 질화막으로 형성하는 것을 특징으로 하는 모스 트랜지스터 제조방법.

【청구항 13】

제 10 항에 있어서,

상기 하부 트렌치 영역은 상기 저농도 불순물층보다 깊도록 형성되어 상기 하부 트렌치 영역의 양 옆에 서로 분리된(separated) 한 쌍의 저농도 소오스/드레인 영역들을 남기는 것을 특징으로 하는 모스 트랜지스터 제조방법.

【청구항 14】

제 7 항에 있어서,

상기 하부 트렌치 영역은 상기 활성영역과 동일한 폭을 갖도록 형성되는 것을 특징으로 하는 모스 트랜지스터 제조방법.

【청구항 15】

제 7 항에 있어서,

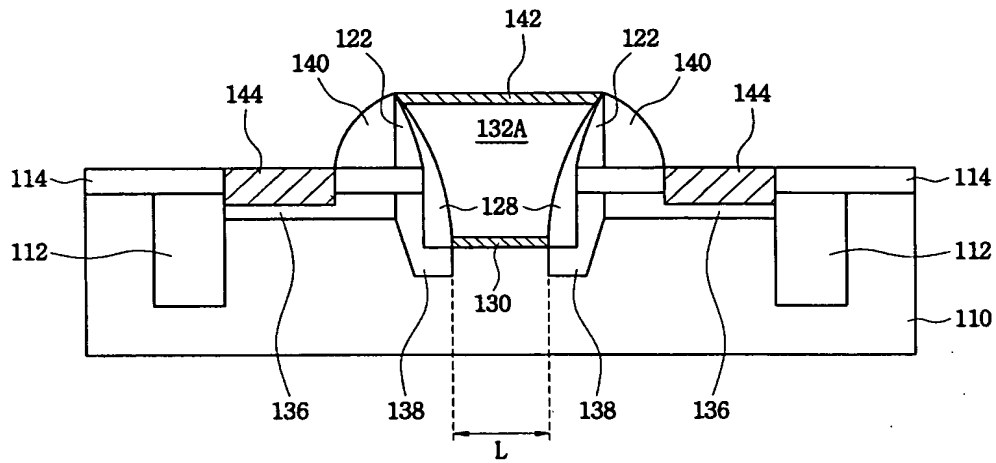
상기 게이트 전극을 형성하는 것은

상기 게이트 절연막을 포함하는 반도체기판의 전면 상에 게이트 도전막을
형성하고,

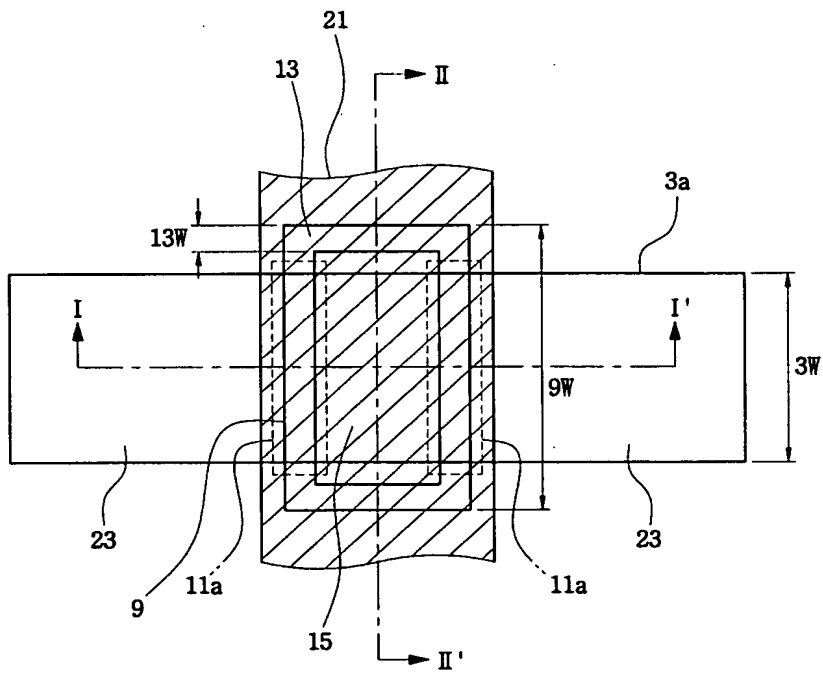
상기 게이트 도전막을 패터닝하여 상기 상부 트렌치 영역 및 상기 하부 트렌치 영역을 채우고 상기 활성영역을 가로지르는 게이트 도전막 패턴을 형성하는 것을 포함하는 것을 특징으로 하는 모스 트랜지스터 제조방법.

【도면】

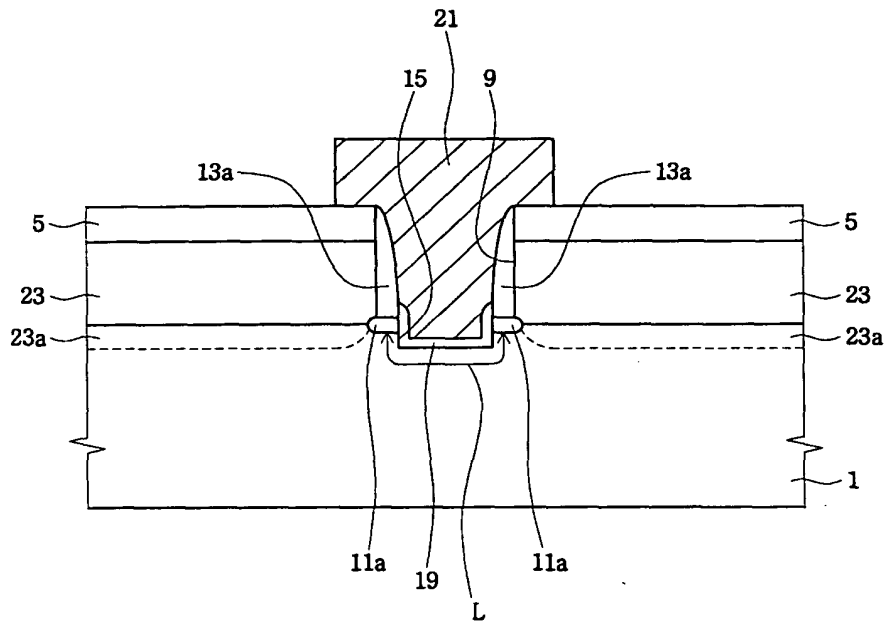
【도 1】



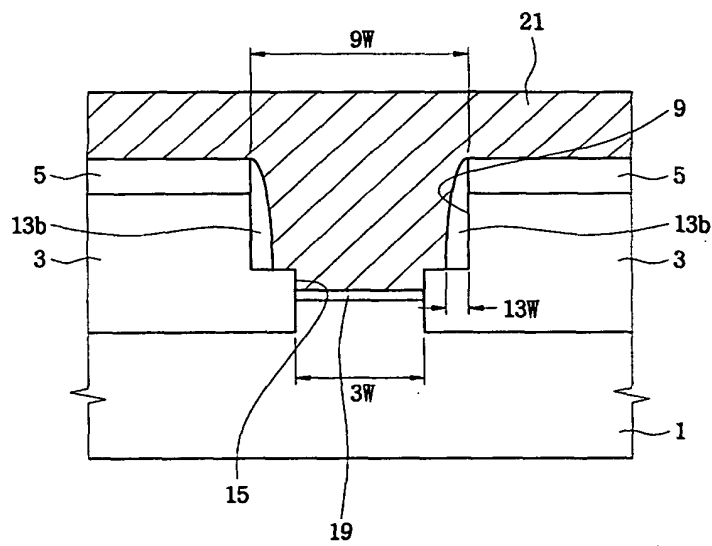
【도 2】



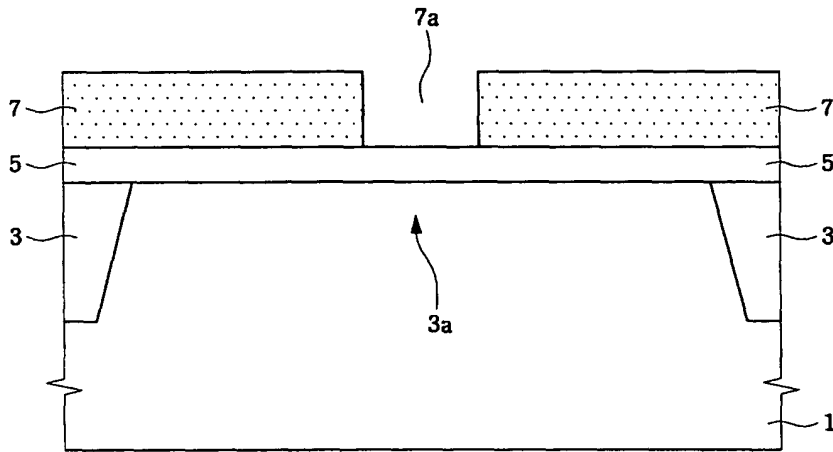
【도 3a】



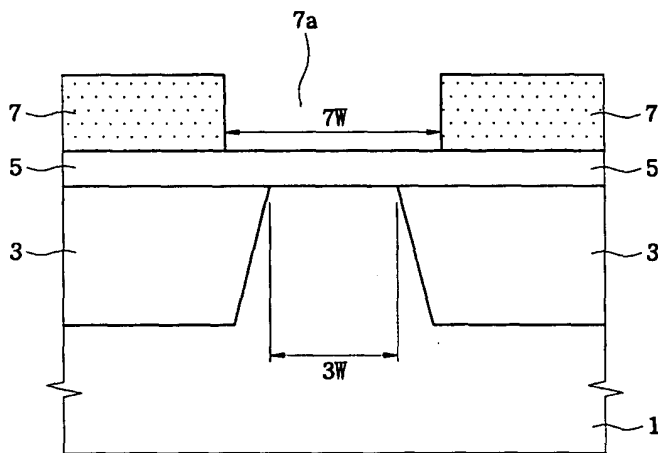
【도 3b】



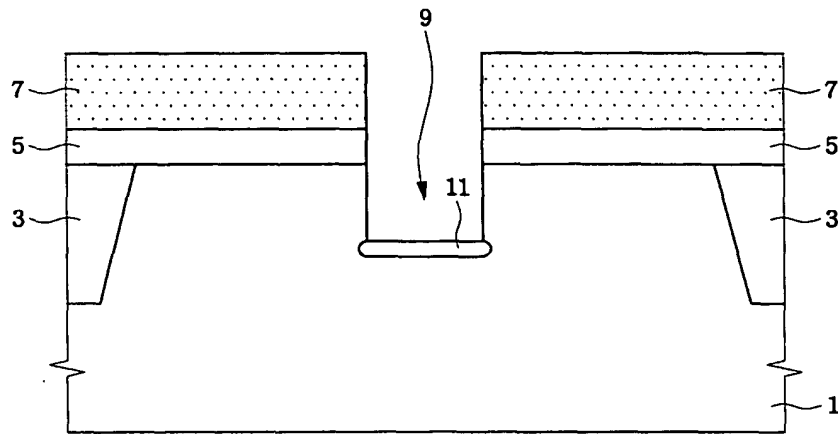
【도 4a】



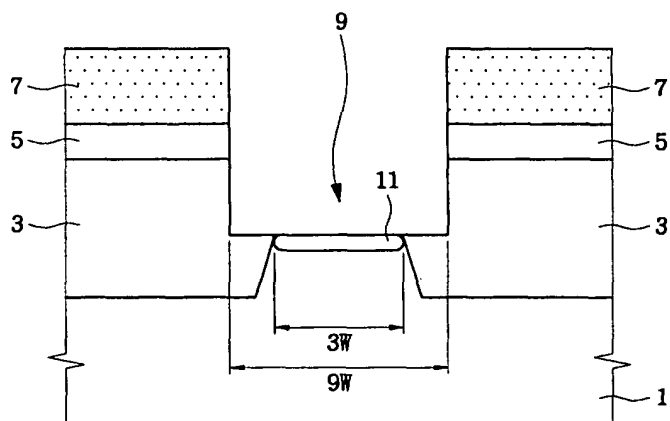
【도 4b】



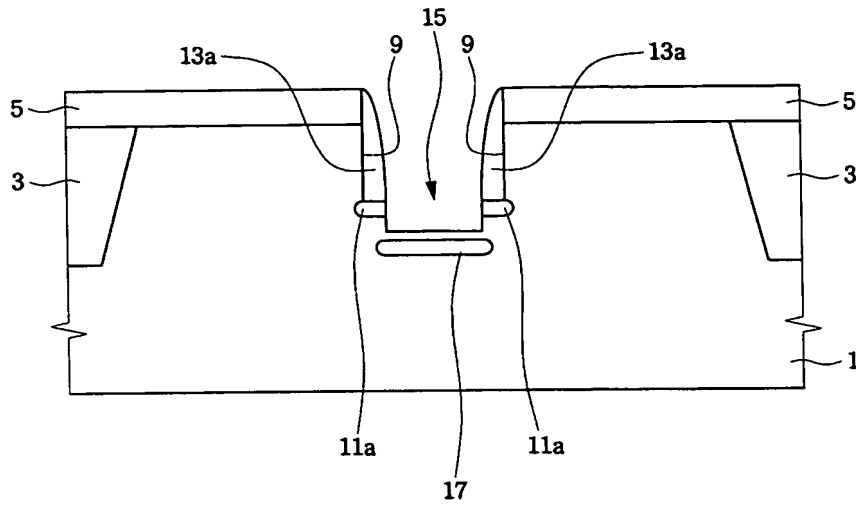
【도 5a】



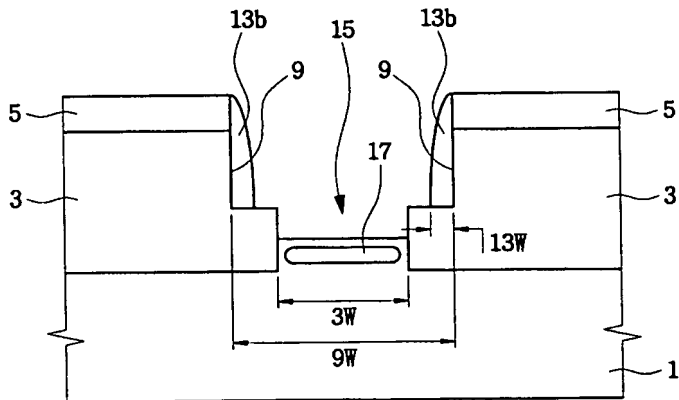
【도 5b】



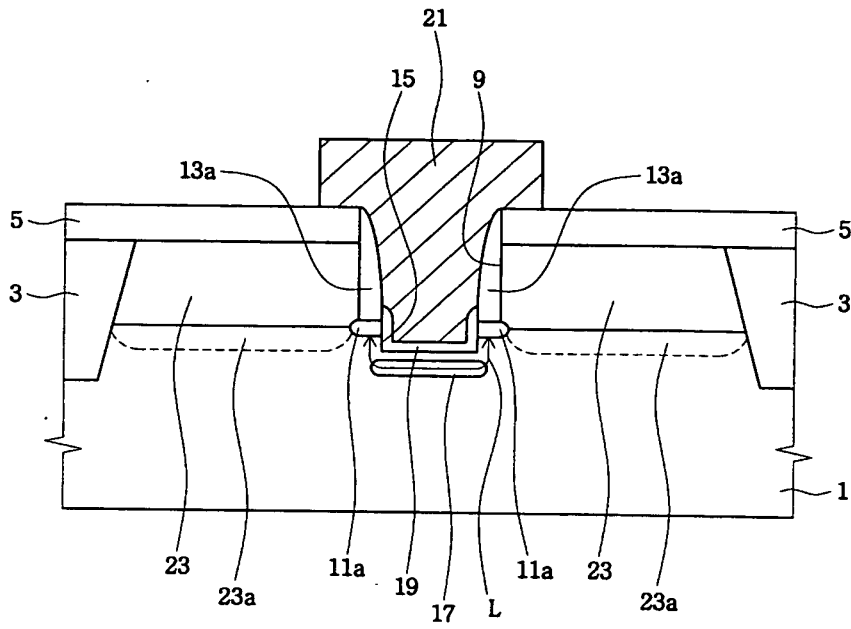
【도 6a】



【도 6b】



【도 7a】



【도 7b】

